

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-214895

(43)Date of publication of application : 11.08.1998

(51)Int.Cl.

H01L 21/768

H01L 21/28

(21)Application number : 09-017994

(71)Applicant : NEC CORP

(22)Date of filing : 31.01.1997

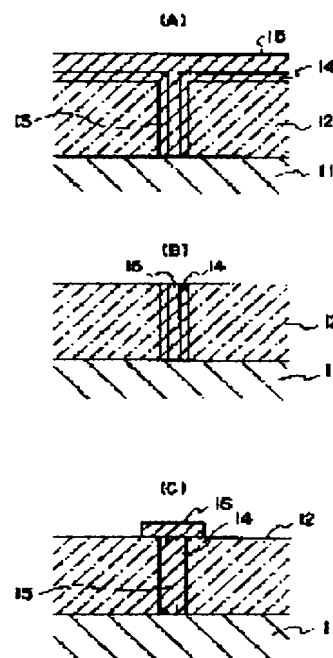
(72)Inventor : JOHN MARK DRYNAN

(54) WIRING STRUCTURE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a resistance and to cope with the request for increasing speed, by forming a wiring structure with a W layer that directly covers an insulation film at a region other than a contact hole.

SOLUTION: A metal Ti layer 14 is formed on the upper surface of an interlayer insulation film 12 and in a contact hole 13 by the CVD method, and a TiN layer 15 is formed on it similarly by the CVD method. After a W layer 16 is formed on the interlayer insulation film 12 by the PVD method, it is formed by selective elimination using, for example, a dry etching, thus forming the W layer 16 that is electrically connected to a plug being formed by Ti/TiN on the interlayer insulation film 12. In this case, the W layer 16 formed by the PVD method has an improved adhesion property with the interlayer insulation film 12 as compared with the W layer being formed by the CVD method and the W layer 16 can be utilized as a wiring layer on the interlayer insulation film 12 as it is.



LEGAL STATUS

[Date of request for examination] 31.01.1997

[Date of sending the examiner's decision of rejection] 01.02.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-214895

(43) 公開日 平成10年(1998) 8月11日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/768

H 0 1 L 21/90

D

21/28

3 0 1

21/28

3 0 1 R

審査請求 有 請求項の数 11 O L (全 4 頁)

(21) 出願番号

特願平9-17994

(22) 出願日

平成9年(1997) 1月31日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 ジョン マーク ドライナン

東京都港区芝五丁目7番1号 日本電気株式会社内

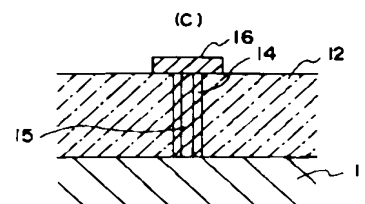
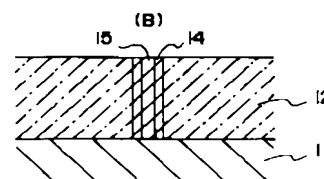
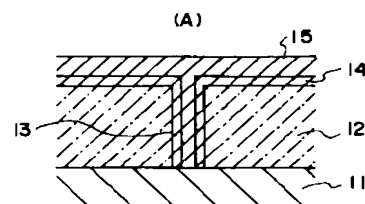
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 配線構造及びその製造方法

(57) 【要約】

【課題】 多層配線に適し、且つ、高速性にも対応できる低抵抗の配線構造及びその製造方法を提供することである。

【解決手段】 コンタクト孔を有する絶縁膜を有する配線構造において、コンタクトホール以外の領域の絶縁膜に、直接、W層をスパッタリングにより被着させた配線構造が得られる。W層は、コンタクトホールの領域では、Ti-TiN等により形成されたプラグと電氣的に接続されている。また、スパッタリングによって形成されたW層は、(200)及び(211)の配向性を有していることが好ましい。



【特許請求の範囲】

【請求項1】 コンタクト孔を有する絶縁膜を有する配線構造において、前記コンタクト孔以外の領域で、前記絶縁膜に直接被着されたW層を有していることを特徴とする配線構造。

【請求項2】 請求項1において、前記コンタクト孔は前記W層とは異なる材料で形成されたプラグによって埋め込まれており、当該プラグは前記W層と電気的に接続されていることを特徴とする配線構造。

【請求項3】 請求項2において、前記プラグは、Tiを含んだプラグであることを特徴とする配線構造。

【請求項4】 請求項3において、前記プラグは、金属Tiと、TiNとによって形成されていることを特徴とする配線構造。

【請求項5】 請求項1において、前記W層は、スパッタリングによって前記絶縁膜上に被着されていることを特徴とする配線構造。

【請求項6】 請求項1において、前記W層は、(200)及び(211)の少なくとも一方の配向性を有するタングステンによって形成されていることを特徴とする配線構造。

【請求項7】 請求項1において、前記W層は、スパッタリングによって形成された第1のW膜と、CVDによって形成された第2のW膜とを有していることを特徴とする配線構造。

【請求項8】 半導体基板上に絶縁膜を形成する工程と、該絶縁膜にコンタクト孔を形成する工程と、前記コンタクト孔をWとは異なる材料によって埋め込み、前記コンタクト孔のみに前記材料のプラグを形成する工程と、前記プラグに電気的に接続されたW層をスパッタリングにより形成する工程とを含むことを特徴とする配線構造の製造方法。

【請求項9】 請求項8において、前記プラグは、Ti及びTiNとによって形成されていることを特徴とする配線構造の製造方法。

【請求項10】 請求項9において、前記プラグを形成する工程は、前記コンタクト孔及び絶縁膜上に、Ti膜及びTiN膜を順次被着する工程と、前記絶縁膜上のTi膜及びTiN膜を除去して、前記コンタクト孔だけに、Ti及びTiNによって形成された前記プラグを残す工程とを有していることを特徴とする配線構造の製造方法。

【請求項11】 半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上にW層をスパッタリングにより被着する工程と、前記絶縁膜に前記W層を介してコンタクト孔を形成する工程と、コンタクト孔をWとは異なる材料によって埋め込む工程とを有することを特徴とする配線構造の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に使用される配線構造及びその製造方法に関する。

【0002】

【従来の技術】 一般に、この種の半導体装置には、半導体基板に、メモリ素子等の素子を多数形成すると共に、これら素子間を導体により電気的に接続する配線が施されている。また、メモリ素子等の高集積化の要求と共に、配線も、緻密化、複雑化している。配線の緻密化並びに複雑化に対する一つの対策として、配線を半導体基板上で多層化することが企図されている。

【0003】 このように、半導体基板上における配線を多層化した場合、単に、半導体基板上にだけなく、半導体基板上に形成された絶縁膜上にも、配線が施され、この絶縁膜上の配線は、絶縁膜の下部に設けられた素子、配線等とコンタクト孔を介して電気的に接続されなければならない。この場合、コンタクト孔内には、導電性によって形成されたプラグが設けられ、このプラグを介して、絶縁膜上の配線は下部の素子等と電気的に接続される。

【0004】 一方、これら半導体装置に対しては、素子の高速化も要求されている。この高速化の要求並びに高集積化の要求に応えるためには、配線における抵抗を出来るだけ低くすることが望ましい。

【0005】 このような要求に応える配線材料として、DRAM等のメモリでは、ゲート電極及びワード線として、ポリシリコンシリサイド（ポリサイド）を使用し、ビット線として、タングステンシリサイドを使用したものが提案されている。この場合、メモリセルを構成するMOSトランジスタのソース、又は、ドレイン領域をビット線と電気的に接続するコンタクトとして、ポリサイド、或いは、ドーパドポリシリコンが使用され、且つ、容量素子を接続するためのコンタクトとしても、ポリサイド、或いは、ドーパドポリシリコンが使用されることが多い。

【0006】 更に、メモリセルの高集積化及び微細化が進むと、これらタングステンシリサイド、ポリサイド、及び、ドーパドポリシリコンより、低い抵抗を有する配線構造が志向される傾向にある。

【0007】 上記したポリサイド、タングステンシリサイド、ドーパドポリシリコン等に代わる材料として、特開平3-256330号公報（以下、引用例1と呼ぶ）では、CVD法を用いて形成されたタングステン膜を形成することが開示されている。このCVD法を用いて形成されたタングステン膜は、絶縁膜との密着性が悪いため、絶縁膜上に、チタン膜を第1の下地層として絶縁膜上にスパッタ法により形成すると共に、このチタン膜上に、第2の下地層としてスパッタ法によりタングステン層を形成した後、CVD法によるタングステン膜を形成している。

【0008】

【発明が解決しようとする課題】しかしながら、引用例1で述べられた方法を使用し、CVD法によって堆積されたタンクステン膜の下部に、2層の下地層を設けた場合、絶縁層内に形成されたコンタクト孔の直径が深さに比較して小さくなると共に、コンタクト孔内に、タンクステンが被着されない隙間、即ち、ボイドが残存することが観測され、このボイドは、タンクステンによって被覆されない状態で残ってしまうことが分かった。このため、配線、特に、コンタクト孔における抵抗値が大きくなるという欠点があることが判明した。

【0009】また、絶縁膜上の配線全体が実質上、3層構造を有しているため、タンクステン単層の場合よりも、抵抗値が比較的大きくなってしまふという欠点もある。

【0010】更に、3層構造の配線をプラズマエッチングして、配線構造を形成する条件も、タンクステン単層の場合に比較して、複雑である。

【0011】本発明の目的は、抵抗値を低下させることができ、したがって、高速化の要求に応えることができる配線構造を提供することである。

【0012】本発明の他の目的は、多層配線に適した配線構造を提供することである。

【0013】本発明の更に他の目的は、タンクステン層を直接絶縁層に被着することができ、このため、接着層、バリア層等を不要にすることができ配線構造を提示することである。

【0014】本発明の他の目的は、接着層、バリア層等なくして、タンクステン層を直接絶縁層上に被着できる配線構造の製造方法が得られる。

【0015】

【課題を解決するための手段】本発明によれば、コンタクト孔を有する絶縁膜を有する配線構造において、前記コンタクト孔以外の領域で、前記絶縁膜に直接被着されたW層を有する配線構造が得られる。この場合、コンタクト孔は前記W層とは異なる材料で形成されたプラグによって埋め込まれており、前記プラグは、金属Tiと、TiNとによって形成され、前記W層と電気的に接続されている。

【0016】

【発明の実施の形態】図1(A)、(B)、及び、

(C)を参照して、本発明の実施の形態に係る配線構造の製造方法を説明する。まず、図1(A)に示すように、p型、或いは、n型の半導体基板11が用意されており、図示された半導体基板11内には、DRAM等の半導体素子が多数形成されているものとする。半導体基板11上には、シリコン酸化膜等の層間絶縁膜12が1層形成されており、図示された層間絶縁膜12には、長さ(d_p)と直径(d_i)との比(d_p/d_i)、即ち、アスペクト比が2以上であるコンタクトホール13が設けられている。この場合、コンタクトホール13の

直径(d_i)は0.25μmであり、0.5μm以上の深さを有しているものとし、このコンタクトホール13は、図示されているように、半導体基板11に達している。

【0017】層間絶縁膜12の上表面、及び、コンタクトホール13の内には、30nmの膜厚を有する金属Ti層14がCVD法により形成され、更に、この金属Ti層14上には、同様に、CVD法により、膜厚100nmのTiN層15が形成されている。コンタクトホール13は金属Ti層14及びTiN層15によって完全に埋め込まれており、コンタクトホール13内には、ボイドがなく、一方、層間絶縁膜12の上表面には、金属Ti層14及びTiN層15が形成されている。更に、コンタクトホール13内の半導体基板11と金属Ti層14との間には、チタニウムシリサイトが形成されている。

【0018】次に、図1(B)に示すように、層間絶縁膜12上の金属Ti層14及びTiN層15はCMP法、RIE法、または、エッチバック法により除去される。この結果、コンタクトホール13内には、半導体基板11内に設けられた素子との電気的な接続を行うための導電性のプラグが形成され、且つ、平坦な表面を持つ層間絶縁膜12が半導体基板11上に残る。

【0019】続いて、層間絶縁膜12上には、200nmの膜厚を有するW層16がスパッタリング、即ち、PVD法により、形成された後、ドライエッチング等により、選択的に除去されることにより、形成されている。この結果として、図1(C)に示すように、層間絶縁膜12上には、Ti、TiNによって形成されたプラグと電気的に接続されたW層16が形成された。ここで、上記したように、スパッタリングによって形成されたW層16は、CVD法によって形成されたW層に比較して、層間絶縁膜12との密着性が良く、このW層16をそのまま層間絶縁膜12上の配線層として利用できることが判明した。また、スパッタリングによって形成されたW層16は、層間絶縁膜12上では、0.70Ω/□のシート抵抗を有し、他方、Ti、TiNのプラグ上では、0.99Ω/□のシート抵抗を示した。したがって、直接、層間絶縁膜12上に被着されたスパッタリングW層は、Ti、TiNのプラグ上に被着されたWに比較して、30%程度低いシート抵抗を示すことが判明した。

【0020】より多数の実験により、スパッタリングW層は、層間絶縁膜12上において、0.66~0.78Ω/□のシート抵抗を有しており、プラグ上において、0.94~1.08Ω/□のシート抵抗を有することが判った。

【0021】上記したシート抵抗の相違を検討してみると、層間絶縁膜12上に直接スパッタリングによって被着されたW層は(110)、(200)、及び、(211)の配向性を有しており、他方、TiN上にCVD及

びPVDにより形成されたW層は、主に、(100)の配向性を有していた。このことは、W層をスパッタリングにより単層被着した場合、(110)の配向性を制御することにより、W層の抵抗を低下させることができることを意味している。換言すれば、(200)及び(211)の配向性を有するW層を利用すれば、より抵抗の小さなW配線を形成できることを示している。

【0022】

【発明の効果】本発明によれば、コンタクトホール13により半導体基板11との電氣的接続される部分には、Ti—TiN等のプラグを形成して、残りの部分をWにより形成することにより、半導体基板11及び層間絶縁膜12との密着性においても、十分な強度を有する配線が得られる。

【図面の簡単な説明】

【図1】(A)は本発明の一実施の形態に係る配線構造の製造方法の一工程を示す図である。(B)は図1(A)に示した工程とは異なる工程を示す図である。(C)は図1(B)とは異なる工程を説明すると共に、本発明の一実施の形態に係る配線構造を示すための図である。

【符号の説明】

11	半導体基板
12	層間絶縁膜
13	コンタクトホール
14	金属Ti層
15	TiN層
16	スパッタリングされたW層

【図1】

